

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12323207

Basic Patent (No,Kind,Date): JP 7086607 A2 950331 <No. of Patents: 001>

THIN-FILM TRANSISTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): KATSUKADO RAMESHIYU

IPC: \*H01L-029/786; H01L-031/04

CA Abstract No: 123(10)129776V

Derwent WPI Acc No: C 95-165448

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 7086607</b>	A2	950331	JP 93232726	A	930920 (BASIC)

Priority Data (No,Kind,Date):

JP 93232726 A 930920

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04794007      \*\*Image available\*\*

THIN-FILM TRANSISTOR

PUB. NO.:      **07-086607** [JP 7086607 A]

PUBLISHED:      March 31, 1995 (19950331)

INVENTOR(s):   KATSUKADO RAMESHIYU

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      05-232726 [JP 93232726]

FILED:          September 20, 1993 (19930920)

INTL CLASS:     [6] H01L-029/786; H01L-031/04

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 35.1 (NEW  
ENERGY SOURCES -- Solar Heat)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass Conductors)

#### ABSTRACT

**PURPOSE:** To provide a thin-film transistor inhibiting power consumption at a low value, capable of reducing leakage current and capable of increasing an on/off ratio.

**CONSTITUTION:** An N channel type TFT 1 has a drain electrode 2, a gate electrode 4, a source electrode 6, a semiconductor layer 8 and a photovoltaic device 12. The semiconductor layer has a source region 3 and a drain region 5 doped in an N type and a channel region 7 positioned between both regions 3 and 5, and fine leakage current are made to flow in the channel region when voltage is applied between the source-drain electrodes. When voltage is applied to the gate electrode under the state, electrons are induced into the channel region, and on currents are made to flow between the electrodes. The photovoltaic device shields back light 11 projected into the channel region while converting absorbed back light into voltage, induces holes into the channel region, and has action, in which leakage current are reduced.

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86607

(43) 公開日 平成7年(1995)3月31日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 29/786

31/04

9056-4M

H01L 29/78

311

N

9056-4M

311

J

7376-4M

31/04

Q

審査請求 未請求 請求項の数 8 O L (全6頁)

(21) 出願番号

特願平5-232726

(22) 出願日

平成5年(1993)9月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 カッカド・ラメシュ

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

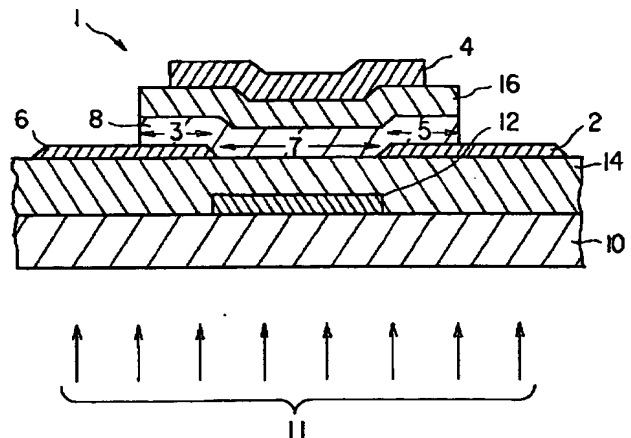
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【目的】 この発明の目的は、消費電力を低く抑え、リーク電流を減少でき、ON/OFF比を増大できる薄膜トランジスタを提供することにある。

【構成】 Nチャンネル型TFT 1は、ドレイン電極2、ゲート電極4、ソース電極6、半導体層8、及び光起電装置12を備えている。半導体層は、N型にドーパされたソース領域3及びドレイン領域5と、両者の間に位置するチャンネル領域7とを有し、ソース、ドレイン電極間に電圧が付与される場合にチャンネル領域を微小のリーク電流が流れるようになっている。この状態でゲート電極に電圧を加えると、チャンネル領域内に電子が誘引され、電極間にON電流が流れる。光起電装置は、チャンネル領域に入射するバックライト11を遮蔽するとともに吸収したバックライトを電圧に変換し、チャンネル領域に正孔を誘引し、リーク電流を減少する作用を有する。



## 【特許請求の範囲】

【請求項 1】 ソース電極、ドレイン電極、半導体層、絶縁層、及びゲート電極を備えた薄膜トランジスタにおいて、

上記半導体層のチャンネル領域に入射する光を遮断するとともに、上記チャンネル領域に電界を付与する光起電装置を備えていることを特徴とする薄膜トランジスタ。

【請求項 2】 上記半導体層は、非結晶シリコン或いは結晶シリコンから形成されていることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 3】 スタガー構造、逆スタガー構造、共面構造、または逆共面構造のいずれか 1 つを有していることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 4】 N チャンネル型或いは P チャンネル型に形成されていることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 5】 上記光起電装置は、ショットキー障壁太陽電池であることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 6】 上記光起電装置は、P I N 太陽電池であることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 7】 上記光起電装置は、P N 接合太陽電池であることを特徴とする請求項 1 に記載された薄膜トランジスタ。

【請求項 8】 上記光起電装置は、ヘテロ接合太陽電池であることを特徴とする請求項 1 に記載された薄膜トランジスタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えばアクティブマトリックス型液晶表示器のスイッチング素子として用いられる薄膜トランジスタ（以下 T F T と称する）に関する。

【0002】

【従来の技術】 液晶を用いた表示素子として、テレビ表示やグラフィックディスプレイ等を指向した大容量、高密度のアクティブマトリックス型液晶表示器の開発及び実用化が盛んに行われている。このような表示器では、クロストークのない高コントラスト表示が行えるように、各画素の駆動及び制御を行う手段として半導体スイッチが用いられている。半導体スイッチとしては、透過型表示が可能であり大面積化も容易である等の理由から、通常、透明絶縁基板上に形成された T F T が用いられている。

【0003】 T F T は、例えば、半導体層を挟んで下層にソース、ドレイン電極層、上層にゲート層をそれぞれ配置したスタガー構造を有しており、アクティブマトリックス型液晶表示器の各画素毎に設けられている。そして、各 T F T において、ドレイン電極は液晶表示器の信

号電極と一体に形成され、ゲート電極は走査電極と一体に形成され、ソース電極は画素電極に接続されている。

【0004】 このように構成された液晶表示器を駆動すると、一定の走査電圧  $V_g$  が走査電極を介して T F T のゲート電極に一走査線毎に与えられると同時に、画像信号としての電圧  $V_{ds}$  が信号電極を介して対応する T F T のドレイン電極に与えられる。このようにソース、ドレイン電極間に電圧  $V_{ds}$  が与えられた T F T のゲート電極にゲート電圧  $V_g$  を与えると、電圧  $V_g$  に誘引された電荷が半導体層のソース、ドレイン領域に挟まれたチャンネル領域に発生し、チャンネル領域の電気抵抗が低くなり、チャンネル領域に電流  $I_{ds}$ （ON 電流）が流れ、該当する画素のスイッチが ON される。尚、T F T には、チャンネル領域内に電子が誘引される N チャンネル型 T F T、及び正孔が誘引される P チャンネル型 T F T がある。

【0005】 一方、スイッチが OFF 状態（ $V_g = 0$ ）にある T F T のソース、ドレイン電極間には、半導体層を流通する微量の OFF 電流（リーク電流）が流れている。T F T のチャンネル領域に流通する ON 電流と OFF 電流との ON/OFF 比は、通常、 $10^6$  以上であることが必要とされており、この ON/OFF 比は、T F T の性能を評価する上で重要な要素となる。従って、T F T の ON/OFF 比を増大して性能を改良するためにはリーク電流を低く抑えることが必要とされている。

【0006】 図 5 は、N チャンネル型 T F T のソース、ドレイン電極間に一定の電圧  $V_{ds}$ （15 V）を与え、ゲート電極にゲート電圧  $V_g$  を与える場合の半導体層のソース、ドレイン領域間（チャンネル領域）に流れる電流  $I_{ds}$  を示している。尚、半導体層のソース、ドレイン領域は、N チャンネル型に適合するように N 型にドーブされているものとする。

【0007】 N チャンネル型 T F T のゲート電極に微小な正の電圧  $V_g$  を与えると、チャンネル領域内に電子が誘引され、チャンネル領域内を流れる電流  $I_{ds}$ （ON 電流）が大幅に増大する。例えば、20 V の電圧をゲート電極に与えると、約  $10^{-5}$  A 程度の ON 電流が流れる。一方、ゲート電圧  $V_g = 0$  とした場合のリーク電流は、約  $10^{-10}$  A 程度である。この場合の T F T の ON/OFF 比は、約  $10^6$  程度であり、必要とされる値（ $10^6$ ）に達していない。

【0008】 一般に、良好な ON/OFF 比を有する T F T を得るために、T F T の OFF 状態においてゲート電極に逆電圧（この場合、負の電圧）を与えてリーク電流を低く抑えている。即ち、N チャンネル型 T F T のゲート電極に負の電圧を与えると、チャンネル領域に正孔が誘引されるが、正孔の流れは N 型にドーブされたソース、ドレイン領域においてブロックされ、結果的にリーク電流を減少できる。従って、従来の N チャンネル型 T F T のゲート電極には、-5 V 程度の電圧が与えられて

おり、リーク電流が $10^{-12}$ 程度に抑えられ、TFTのON/OFF比を $10^6$ 程度にまで引き上げている。

【0009】また、液晶表示器に実装されるTFTは、表示器のバックライトの影響によりリーク電流が増大される場合がある。つまり、TFTのチャンネル領域にバックライトからの光が吸収されると、チャンネル領域内に電荷が発生してチャンネル領域の電気抵抗を下げる場合がある。このように電気抵抗が低くなる場合には、電荷が流通しやすくなり、結果的にリーク電流が増大される。そのため、チャンネル領域に吸収される光を遮るための光遮蔽層が設けられている。

【0010】

【発明が解決しようとする課題】従来のTFTにおいては、OFF状態においてゲート電極に逆電圧をかけてリーク電流を抑えている。従って、TFTがOFF状態にあるにも拘らず、リーク電流を低く抑えるための余分な電圧を付与する必要がある、消費電力が増大するという問題がある。

【0011】この発明は、以上の点に鑑みなされたもので、その目的は、少ない消費電力でリーク電流を減少でき、ON/OFF比を増大することができる薄膜トランジスタを提供することにある。

【0012】

【課題を解決するための手段】この発明によれば、ソース電極、ドレイン電極、半導体層、絶縁層、及びゲート電極を備えた薄膜トランジスタにおいて、上記半導体層のチャンネル領域に入射する光を遮断するとともに、上記チャンネル領域に電界を付与する光起電装置を備えていることを特徴とする薄膜トランジスタが提供される。

【0013】

【作用】この発明の薄膜トランジスタ(TFT)によれば、液晶表示器のバックライトがTFTの半導体層のチャンネル領域に入射する光路位置に光起電装置を備えている。光起電装置は、チャンネル領域に入射する光を遮蔽することによりチャンネル領域内に電荷が発生するのを抑え、OFF状態におけるリーク電流を低く抑える。また、光起電装置に吸収される光は、ここで電圧に変換され、チャンネル領域に電界を付与する。付与する電界の方向を適当に選択することにより、チャンネル領域内に電子或いは正孔のいずれかを誘引し、リーク電流を抑える。そして、良好なON/OFF比を有するTFTが提供される。

【0014】

【実施例】以下、図面を参照しながらこの発明の実施例について詳細に説明する。図1及び図2に示すように、この発明の薄膜トランジスタ1(以下、TFTと称する)は、例えば、アクティブマトリックス型液晶表示器20の各画素30毎に装着され、画素30のスイッチング素子として用いられている。

【0015】液晶表示器20は、多数の画素30がマト

リックス状に整列された表示画面を有している。各画素30は、画素電極22と、画素電極22に沿って互いに平行に延びる多数の信号電極24と、信号電極24と直交する方向に沿って互いに平行に延びる多数の走査電極26と、を有している。各画素電極22は、例えば、スタガー型のTFT1を介して信号電極24及び走査電極26に接続されている。また、液晶表示器20は、図示しないバックライトを備えている。

【0016】各TFT1は、信号電極24と一体に形成されたドレイン電極2と、走査電極26と一体に形成されたゲート電極4と、画素電極22に接続されたソース電極6と、を有しており、信号電極24は、TFT1のドレイン電極2に画像信号を与えるためのデータ線として作用し、走査電極26は、TFT1のゲート電極4に走査信号を与えるためのアドレス線として作用する。

【0017】以下、TFT1の構成について詳細に説明する。TFT1は、透明なガラス或いは石英から成る基体10の上面に形成され、基体10の上面に設けられた光起電装置4と、光起電装置4を覆うように基体10の上面に設けられた透明な絶縁層14と、絶縁層14の上面に互いに離間して設けられたソース電極層6及びドレイン電極層2と、ソース電極6及びドレイン電極2に接するとともに絶縁層14の上面に設けられた半導体層8と、半導体層8の上面に設けられたゲート絶縁層16と、ゲート絶縁層16の上面に設けられたゲート電極4と、を備えている。

【0018】半導体層8は、ソース電極6の上方に位置するソース領域3、ドレイン電極2の上方に位置するドレイン領域5、及びソース電極6とドレイン電極2との間に位置するチャンネル領域7から成る3つの領域に分割されている。ソース領域3及びドレイン領域5は、それ自体の固有抵抗を減少するために、また、接触する電極との間に良好なオーミック接合を実現するためにドーピングされる。例えば、これらの領域3、5がN型にドーピングされるとNチャンネル型TFTが形成され、P型にドーピングされるとPチャンネル型TFTが形成される。

【0019】光起電装置4は、液晶表示器20の図示しないバックライトから基体10の下面を介してTFT1に入射する光11がチャンネル領域7内に入射するのを防止するための光遮蔽層として作用するとともに、吸収した光を電圧に変換する作用を有する。

【0020】次に、各画素30毎にNチャンネル型TFT1を装着した液晶表示器20の動作を説明する。まず、液晶表示器20に画像信号が入力されると、画像信号は、信号電極24を介して1走査線内の各TFT1のドレイン電極2に与えられる。画像信号は、ドレイン電極2に電圧を付与するON信号と、電圧を付与しないOFF信号と、に2値化されており、ON信号が与えられたTFT1は、ソース、ドレイン電極間に電圧 $V_{ds}$ が付与され、OFF信号が与えられたTFT1は、電圧 $V$

$d s$  が付与されない。それと同時に、この1走査線内の全てのTFT1のゲート電極4には、走査電極26を介して走査信号が付与され一定のゲート電圧 $V_g$ が与えられる。そして、電圧 $V_{ds}$ が与えられたTFT1は、ゲート電圧 $V_g$ が与えられることによりON状態にされ、該当する画素30が表示される。同様に、上記の動作を表示画面内の全ての走査線について行い、1画面が形成される。

【0021】ドレイン電極2に表示命令としてのON信号が与えられたTFT1は、ソース電極6とドレイン電極2との間に電圧 $V_{ds}$ を生じ、待機状態（OFF状態）にされる。半導体層8のソース領域3及びドレイン領域5はN型にドーピングされており、電流を良好に通過するが、チャンネル領域7はドーピングされていないため、抵抗率が高く電流を通過しにくい。そのため、OFF状態のTFT1は、半導体層8を介して各電極2、6間にOFF電流としての微小のリーク電流を流している。

【0022】OFF状態のNチャンネル型TFT1のゲート電極4に走査信号が与えられて所定の正のゲート電圧 $V_g$ が与えられると、チャンネル領域7内に電子が誘引され、チャンネル領域7の抵抗率が低下される。その結果、チャンネル領域7内に電子が良好に通過され、ソース電極6とドレイン電極2との間にON電流 $I_{ds}$ が流れる。各電極2、6間にON電流が流れると、TFT1がON状態にされ、ソース電極6を介して該当する画素30の画素電極22と図示しない対向電極との間に電圧を生じる。それにより、図示しない液晶の配向が変えられて表示状態にされる。

【0023】高性能のTFT1を得るためには、上記ON電流とOFF電流（リーク電流）とのON/OFF比を高くすることが望ましい。そのため、本発明のTFT1は、従来、光遮蔽層が設けられていた位置に光起電装置12を設けることにより、リーク電流を低く抑えてTFT1のON/OFF比を増大する。

【0024】図3は、光起電装置12の第1の実施例としての非結晶シリコンショットキー障壁太陽電池40

（以下、ショットキー太陽電池と称する）を示している。ショットキー太陽電池40は、金属領域42と光吸収領域44とから成る2層構造を有している。金属領域42は、その下面42aから入射する光の最大光が光吸収領域44まで到達できるように約100オングストローム程度の薄膜状に形成され半透明にされている。光吸収領域44は、金属領域の上面42bに接触する下面44aを有し、非結晶シリコン或いは結晶シリコンなどの半導体材料から形成されている。

【0025】半導体の製造分野において、金属材料を半導体材料に接触させることによりショットキー障壁が形成できることは公知であり、本実施例のショットキー太陽電池においては、金属領域42と光吸収領域44との境界面42b（44a）にショットキー障壁が形成され

ている。ショットキー障壁は、高仕事関数を有する金属をN型半導体材料に接触させることにより形成でき、或いは低仕事関数を有する金属をP型半導体材料に接触させることにより形成できる。尚、ショットキー障壁を形成することにより、境界面42b（44a）から光吸収領域44の上面44bに向う光吸収領域44内に空間電荷領域を生じる。

【0026】ショットキー太陽電池40の金属領域42の下面42aから光が入射されてショットキー障壁に光が当たると、光吸収領域44内で電荷担体が発生し、この電荷担体は、通常、空間電荷領域内の電界によって金属領域の下面42a或いは光吸収領域の上面44bから取除かれる。しかし、本発明のTFT1に含まれるショットキー太陽電池40のように、電気的絶縁材料としての基体10及び絶縁層14によって周りを包囲されている場合には、ショットキー障壁近傍に発生した電荷担体は光吸収領域44内に蓄積される。

【0027】例えば、本実施例のように、光吸収領域44をN型半導体材料によって形成し、金属領域42をプラチナやパラジウムなどの高仕事関数を有する金属によって形成したショットキー太陽電池40のショットキー障壁に光を当てると、光吸収領域44内に電子が発生する。発生した電子は、光吸収領域44内に蓄積され、電界を生じる。そして、この電界によって半導体層8のチャンネル領域7内に正孔が誘引され、チャンネル領域7内において、電子が通過しにくくなる。従って、TFT1がOFF状態にある場合のチャンネル領域7の電流抵抗が大きくなり、リーク電流が減少されることになる。

【0028】図4は、光起電装置12の第2の実施例としてのPIN太陽電池50を示している。PIN太陽電池50は、光が入射される下面52aを有するとともにP型にドーピングされたP型半導体層52と、P型半導体層52の上面52bに接触する下面54aを有する中間層54と、中間層54の上面54bに接触する下面56aを有するとともにN型にドーピングされたN型半導体層56と、から成る3層構造を有している。

【0029】各層52、54、56、のフェルミ準位の均一化の結果、N型半導体層56内に陽性の空間電荷担体が生じ、P型半導体層52内に陰性の空間電荷担体が生じ、これらの層52、54、及び54、56の間に接合面に固有の電位が生じることは、PIN太陽電池の製造分野において公知である。また、中間層54に発生する空間電荷領域は、中間層54の層厚全体に亘って存在すると考えられる。従って、光を吸収することによって中間層54に発生する電荷担体は、電荷担体の極性の如何に拘らず空間電荷領域の電界によって収束される。

【0030】例えば、P型半導体層52の下面52a方向から光が入射するようにPIN太陽電池50をTFT1内に配置する場合、PIN太陽電池50に光が入射されると、中間層54内に電子が蓄積されて半導体層8の

7

チャンネル領域 7 内に正孔が誘引され、T F T 1 のリーク電流が減少される。

【0031】 以上のように、従来の T F T に含まれる光遮蔽層の位置に光起電装置 1 2 を設けることにより、液晶表示器 2 0 のバックライトから T F T 1 の半導体層 8 のチャンネル領域 7 を保護するとともに、バックライトを吸収してチャンネル領域 7 に対して所望の電界を付与してチャンネル領域 6 内に所望の電荷担体を誘引でき、T F T が O F F 状態にある場合のリーク電流を減少できる。それにより、従来のように、リーク電流を低く抑えるために T F T のゲート電極に逆電圧を付与する場合と同様の効果が得られる。従って、低い消費電力でリーク電流を低く抑えることができ、O N / O F F 比を増大することができる。

【0032】 尚、本発明は上記実施例に限定されることなく発明の要旨を変更しない範囲において種々変更可能である。例えば、光起電装置 1 2 の他の実施例として、P N 接合太陽電池やヘテロ接合太陽電池を用いても良く、T F T の構造は、本実施例のスタガー構造に加えて逆スタガー構造、共面構造、或いは逆共面構造であっても良い。

【0033】

【発明の効果】 以上説明したように、この発明の薄膜トランジスタによれば、チャンネル領域に入射するバックライトを遮蔽する光遮蔽層の位置に光起電装置を備えて

8

いる。従って、チャンネル領域をバックライトから保護するとともに、吸収した光を電圧に変換してチャンネル領域に所望の電界を付与でき、チャンネル領域の電流抵抗を減少してリーク電流を低く抑えることが可能になる。そして、T F T の O N 電流と O F F 電流との O N / O F F 比を増大でき、高い性能を有する T F T を提供できる。

【図面の簡単な説明】

【図 1】 図 1 は、この発明の実施例における薄膜トランジスタを示す断面図。

【図 2】 図 2 は、図 1 の T F T を装着した液晶表示器を示す部分平面図。

【図 3】 図 3 は、図 1 の T F T に含まれるショットキー障壁太陽電池を示す断面図。

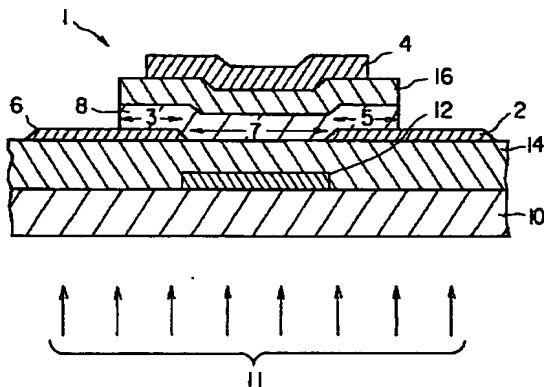
【図 4】 図 4 は、図 1 の T F T に含まれる P I N 太陽電池を示す断面図。

【図 5】 図 5 は、従来の N チャンネル型 T F T のゲート電極にゲート電圧  $V_g$  を与えた場合の、ソース、ドレイン電極間に流れる電流  $I_{ds}$  を示す図。

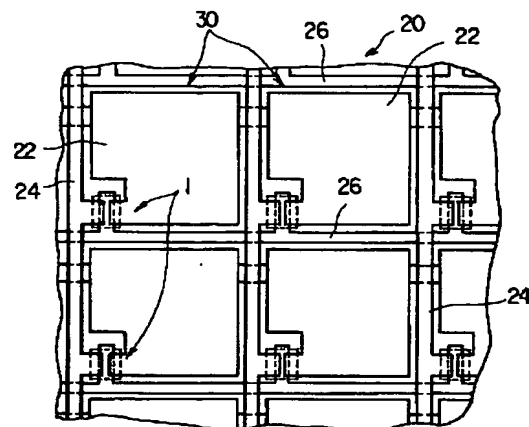
【符号の説明】

1…薄膜トランジスタ、2…ドレイン電極、3…ソース領域、4…ゲート電極、5…ドレイン領域、6…ソース電極、7…チャンネル領域、8…半導体層、10…基体、11…バックライト光、12…光起電装置。

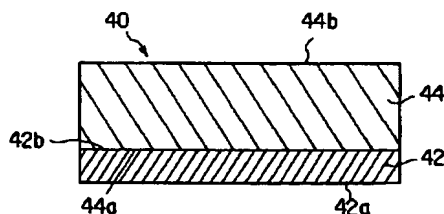
【図 1】



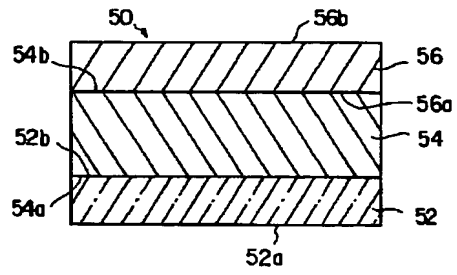
【図 2】



【図 3】



【図 4】



【図 5】

